

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-350449
(43)Date of publication of application : 21. 12. 2001

(51)Int. Cl. G09G 3/36
G02F 1/133
G09F 9/30
G09G 3/20

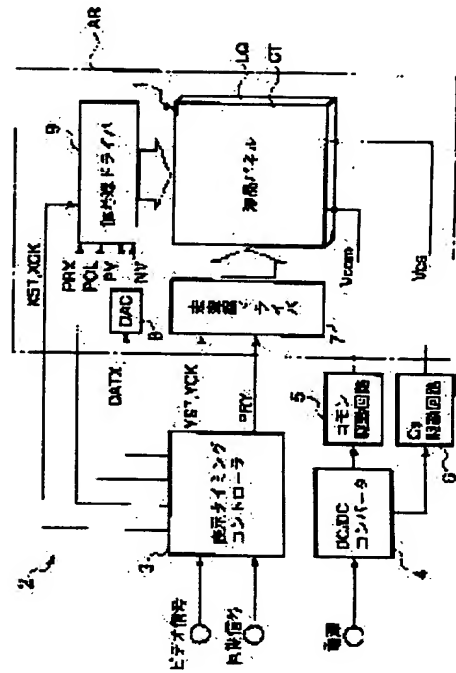
(21)Application number : 2000-166419 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 02. 06. 2000 (72)Inventor : FUJIWARA HISAO
HANARI ATSUSHI

(54) DISPLAY CONTROL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a higher quality display picture with low power consumption.

SOLUTION: The display control device is provided with a scanning line driver 7 for sequentially driving the scanning lines Y1-Ym at a vertical clock cycle, a signal line driver 9 for sequentially driving signal lines X1-Xn by each prescribed number corresponding to a video signal at a horizontal clock cycle, and a display timing controller 3 for controlling the scanning line driver 7 and the signal line driver 9. Especially, the timing controller 3 comprises a preliminary drive control circuit 30 for checking a correlation of the video signal about at least one of the vertical and horizontal directions, making the scanning line driver successively drive the scanning lines Y1-Ym corresponding to display pixels of the rows correlated with the video signal in the vertical direction at least at two vertical clock cycle period, making the signal line driver successively drive the signal lines X1-Xn corresponding to display pixels of the columns correlated with the video signal in the horizontal direction at least at two horizontal clock cycle period, and selectively extending an effective potential impression time of the plural display pixels.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-350449

(P2001-350449A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 9 4
	6 2 1		6 2 1 Z

審査請求 未請求 請求項の数12 O L (全 17 頁)

(21) 出願番号 特願2000-166419(P2000-166419)

(22) 出願日 平成12年6月2日 (2000. 6. 2)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 藤原 久男

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

(72) 発明者 羽成 淳

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

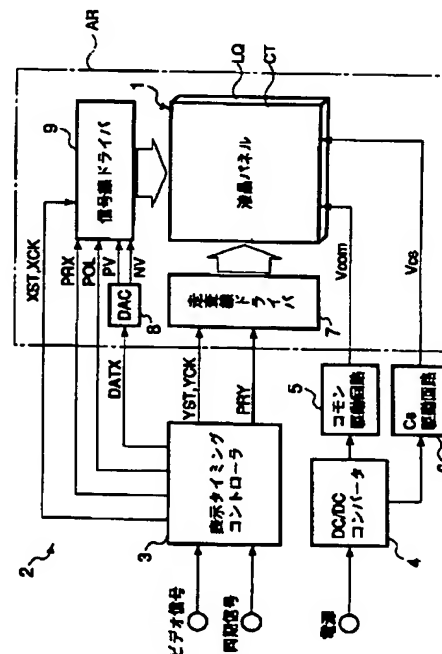
最終頁に続く

(54) 【発明の名称】 表示制御装置

(57) 【要約】

【課題】より高品位な表示画像を低消費電力で得ることを可能にする。

【解決手段】表示制御装置は垂直クロックサイクルで走査線Y1~Ymを順次駆動する走査線ドライバ7と、水平クロックサイクルで信号線X1~Xnをビデオ信号に対応して順次所定数ずつ駆動する信号線ドライバ9と、走査線ドライバ7および信号線ドライバ9を制御する表示タイミングコントローラ3とを備える。特に、タイミングコントローラ3は垂直および水平方向の少なくとも一方についてビデオ信号の相関を調べ、ビデオ信号が垂直方向で相関する行の表示画素に対応する走査線Y1~Ymを少なくとも2垂直クロックサイクルの期間だけ継続的に駆動させ、ビデオ信号が水平方向で相関する列の表示画素に対応する信号線X1~Xnを少なくとも2水平クロックサイクルの期間だけ継続的に駆動させ、複数の表示画素の実効的電位印加時間を選択的に延長する予備駆動制御回路30を含む。



【特許請求の範囲】

【請求項1】 行および列方向に並ぶ複数の表示画素と、前記複数の表示画素の行に沿ってそれぞれ配置される複数の走査線と、前記複数の表示画素の列に沿ってそれぞれ配置される複数の信号線と、前記複数の信号線と前記複数の走査線の交点近傍に配置され前記複数の表示画素にそれぞれ接続される複数のスイッチ素子とを含む平面表示パネルの表示制御装置であって、

前記複数の走査線に順次走査信号を出力し対応するスイッチ素子を前記走査信号に基づく選択期間だけ導通させる走査線ドライバと、

入力されるビデオ信号に基づいて前記複数の信号線に対する信号電圧を出力する信号線ドライバと、
1行の表示画素で構成される1水平画素群と、1垂直走査期間内において前記1水平画素群よりも先に選択される行の表示画素で構成される他の水平画素群との相関に基づいて前記他の水平画素群の選択期間に前記1水平画素群を選択するか否か前記走査線ドライバに指示する制御部を含むことを特徴とする表示制御装置。

【請求項2】 前記信号電圧のそれぞれは各垂直走査期間毎に基準電圧に対して極性反転され、前記1水平画素群の選択期間と前記他の水平画素群の選択期間とは連続することを特徴とする請求項1に記載の表示制御装置。

【請求項3】 前記信号電圧のそれぞれは各水平走査期間毎に基準電圧に対して極性反転され、前記1水平画素群の選択期間と前記他の水平画素群の選択期間とは1水平走査期間分だけ離間していることを特徴とする請求項1に記載の表示制御装置。

【請求項4】 前記相関は、前記1水平画素群用のビデオ信号と前記他の水平画素群用のビデオ信号との相関であることを特徴とする請求項1に記載の表示制御装置。

【請求項5】 前記相関は、前記1水平画素群用および前記他の水平画素群用ビデオ信号の上位ビットに基づくことを特徴とする請求項4に記載の表示制御装置。

【請求項6】 前記走査線ドライバおよび信号線ドライバのいずれか一方は前記平面表示パネルに一体的に形成されていることを特徴とする請求項1に記載の表示制御装置。

【請求項7】 行および列方向に並ぶ複数の表示画素と、前記複数の表示画素の行に沿ってそれぞれ配置される複数の走査線と、前記複数の表示画素の列に沿ってそれぞれ配置される複数の信号線と、前記複数の信号線と前記複数の走査線の交点近傍に配置され前記複数の表示画素にそれぞれ接続される複数のスイッチ素子とを含む平面表示パネルの表示制御装置であって、
前記複数の走査線に順次走査信号を出力し対応するスイッチ素子を前記走査信号に基づく選択期間だけ導通させる走査線ドライバと、
入力されるビデオ信号に基づいて前記複数の信号線に対する信号電圧をビデオバスから順次サンプリングし出力

する信号線ドライバと、

1行の表示画素で構成される1水平画素群において、1表示画素と、前記信号電圧のサンプリングが前記1表示画素よりも先に行われる他の表示画素との相関に基づいて前記他の表示画素用のサンプリング期間に前記1表示画素用のサンプリングを行うか否かを前記信号線ドライバに指示する制御部を含むことを特徴とする表示制御装置。

【請求項8】 前記相関は、前記1水平画素群における前記1表示画素用のビデオ信号と前記他の表示画素用のビデオ信号との相関であることを特徴とする請求項7に記載の表示制御装置。

【請求項9】 前記相関は、前記1表示画素用および前記他の表示画素用のビデオ信号の上位ビットに基づくことを特徴とする請求項8に記載の表示制御装置。

【請求項10】 前記1表示画素と前記他の表示画素とは互いに隣接して配置されることを特徴とする請求項7に記載の表示制御装置。

【請求項11】 前記1表示画素と前記他の表示画素とは互いに1表示画素分だけ隔てて配置されることを特徴とする請求項7に記載の表示制御装置。

【請求項12】 前記走査線ドライバおよび信号線ドライバのいずれか一方は前記平面表示パネルに一体的に形成されることを特徴とする請求項7に記載の表示制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数の表示画素がマトリクス状に配置される平面表示装置に関し、特にビデオ信号に対応した画素電位の設定を容易化する表示制御装置に関する。

【0002】

【従来の技術】液晶表示装置は、軽量かつ低消費電力という特性からパーソナルコンピュータや携帯情報端末などの機器で使用されている。図16は典型的な液晶表示装置の等価回路を示す。この液晶表示装置は、液晶層LQがアレイ基板および対向基板間に保持される構造の液晶パネル1およびこの液晶パネル1を駆動する液晶駆動回路2により構成される。アレイ基板はマトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って形成される複数の走査線Y1～Ym、複数の画素電極PEの列に沿って形成される複数の信号線X1～Xn、信号線X1～Xnおよび走査線Y1～Ymの交差位置にそれぞれ隣接して配置され各々対応走査線からの走査信号にตอบสนองして対応信号線からのビデオ信号を対応画素電極に供給する複数のスイッチング素子Wを有する。対向基板は複数の画素電極PEに対向する単一の共通電極CEを有する。液晶駆動回路2は走査線Y1～Ymを駆動する走査線ドライバ7、信号線X1～Xnを駆動する信号線ドライバ9、これら走査線ドライバ7および信号線

ドライバ 9 の動作を制御する表示タイミングコントローラ 3 を含む。複数の画素電極 P E はこのコモン電極 C E および液晶層と協力し、これら画素電極 P E およびコモン電極 C E 間の電位差に対応する光透過率にそれぞれ設定される複数の表示画素を構成する。液晶パネル 1 がこのように複数のスイッチング素子 W を持つ場合、表示画素間のクロストークが低減された高品質な画像を表示することができる。

【0003】上述のスイッチング素子 W は一般にアモルファスシリコン薄膜トランジスタ (a-Si TFT) で構成される。この a-Si TFT は低移動度であるアモルファスシリコン薄膜を用いて形成されるため、画素電極 P E の電位をビデオ信号によって決る信号線電位に等しいレベルに変化させるために数マイクロ〜数十マイクロ秒ほどの動作時間を必要とする。このため、液晶駆動回路 2 は一般に複数の走査線 Y1〜Ym に順次走査信号を印加して各行の TFT をオンさせながらビデオ信号を信号線 X1〜Xn に印加する線順次駆動方式を採用している。また、a-Si TFT は走査線 Y1〜Ym や信号線 X1〜Xn のように大きな負荷容量を短時間で充放電できる高い駆動能力を持たないため、走査線ドライバ 7 および信号線ドライバ 9 は液晶パネル 1 外部の基板に形成される駆動能力の高い単結晶シリコントランジスタを用いて構成される。

【0004】図 17 はスイッチング素子 W を構成する TFT の移動度に依存した画素電極 P E の電位変化を示す。ここでは、TFT が例えば走査線ドライバ 7 から走査線 Y2 に供給される走査信号にตอบสนองして信号線ドライバ 9 から信号線 X1 に供給されるビデオ信号を画素電極 P E に供給するものである。走査信号は走査線 Y2 にフィールド周期 T F 毎に供給され、ビデオ信号は信号線 X1 に水平走査期間 T w 毎に供給される。信号線電位 V x は例えばフィールド周期 T F に等しい複数の水平走査期間にわたって持続的に高レベルに維持されるようビデオ信号により制御され、第 2 走査線電位 V y は走査線 Y2 に割当てられる水平走査期間 T w (Y2) だけ高レベルに維持され残り走査線 Y3〜Ym、Y1 に割当てられる水平走査期間 T H O L D1 において低レベルに維持されるよう走査信号により制御される。これにより、TFT は画素電極電位 P v を信号線電位 V x に等しいレベルに設定するために水平走査期間 T w (Y2) にオンし、この設定レベルを保持するために水平走査期間 T H O L D1 にオフする。もし水平走査期間 T w が画素電極数の増大に伴って短縮されると、画素電極電位 P v は TFT が高移動度である場合に実線 P v a で示すように遷移し、TFT が低移動度である場合に書込み不足が生じ、供給電荷の不足により点線 P v b で示すように遷移する。すなわち、高移動度の TFT は画素電極電位 P v が信号線電位 V x に等しいレベルに到達した後オフするが、低移動度の TFT は画素電極電位 P v が信号線電位 V x に等しいレベルに到達する前にオフす

ることになる。従って、TFT が水平走査期間 T w を基準にして十分高い移動度を持たない場合に表示画像の劣化を招くことがある。

【0005】従来、予備駆動法がこのような問題を改善する技術として知られる。この予備駆動法では、図 18 に示すように、上述の走査信号が第 2 走査線 Y2 に割当てられる第 2 水平走査期間 T w (Y2) に先行して走査線 Y1 に割当てられる第 1 水平走査期間 T w (Y1) においても走査線 Y2 に供給される。この場合、画素電極電位 P v の電位変化を第 1 水平走査期間 T w (Y1) に開始できるため、第 2 水平走査期間 T w (Y2) に信号線電位 V x に等しいレベルに到達させることができる。すなわち、画素電極電位 P v を遷移させるために 2 倍の水平走査期間 2 T w を利用可能であるため、ビデオ信号が図 18 に示すように第 1 および第 2 水平走査期間 T w (Y1)、T w (Y2) においてほぼ一定であれば、TFT が低移動度であっても画素電極電位 P v の遷移中に TFT がオフすることが避けられる。従って、この予備駆動法で表示画像の劣化を防止できる。

【0006】しかし、第 1 水平走査期間 T w (Y1) に供給されるビデオ信号が第 2 水平走査期間 T w (Y2) に供給されるビデオ信号と大幅に異なる場合には、上述した予備駆動法の効果を得られないことがある。具体的には、図 19 に示すように、信号線電位 V x が第 1 水平走査期間 T w (Y1) にビデオ信号に対応して第 1 レベルに設定され、第 2 水平走査期間 T w (Y2) にビデオ信号に対応して第 1 レベルよりも高い第 2 レベルに設定されるような場合、TFT をこれら第 1 および第 2 水平走査期間 T w (Y1)、T w (Y2) において持続的にオンさせたとしても、画素電極電位 P v は第 1 水平走査期間 T w (Y1) において第 1 レベルを越えて遷移しないため、第 2 水平走査期間 T w (Y2) において第 1 レベルから第 2 レベルに向かって遷移する。低移動度の TFT は画素電極電位 P v が第 2 レベルに到達する前にオフすることになり、依然として表示画像の劣化が生じる。これは、図 20 に示すように白と黒の横ストライプの画面表示を行なう場合に特に顕著である。すなわち、白ストライプに割当てられた表示画素の最終行に隣接して黒ストライプに割当てられた表示画素の先頭行が図 20 の円内に拡大して示すように白と黒との中間階調の表示をしてしまう。このように列方向において隣接する表示画素に共通の信号線を介して供給されるビデオ信号に相関が無い場合には予備駆動法が十分に機能しない。

【0007】近年では、アモルファスシリコン薄膜よりも高い移動度のポリシリコン薄膜を用いてアレイ基板上にポリシリコン薄膜トランジスタ (ポリシリコン TFT) を形成することが可能となり、画素電極のスイッチング素子 W、走査線ドライバ 7、および信号線ドライバ 9 を構成する複数のポリシリコン TFT を持つ高精細な液晶表示装置も普及しはじめている。この液晶表示装置

では、図21に示すD/Aコンバータ(DAC)8が走査線ドライバ7および信号線ドライバ9と一緒に液晶パネル1のアレイ基板に形成される。このD/Aコンバータ8は表示タイミングコントローラ3から供給されるビデオ信号をデジタル形式からアナログ形式に変換して正極性ビデオ信号PVおよび負極性ビデオ信号NVを発生する。信号線ドライバ9はD/Aコンバータ8からビデオバスを介して供給される正極性ビデオ信号PVおよび負極性ビデオ信号NVを水平走査期間Tw/画素数のような水平クロックサイクルで交互にサンプリングし、信号線X1~Xnに順次供給するために図21に示すように構成される。奇数フィールドでは、図22に示す制御により奇数信号線X1, X3, ..., Xn-1が正極性ビデオ信号PVに対応して駆動され、偶数信号線X2, X4, ..., Xnが負極性ビデオ信号NVに対応して駆動される。偶数フィールドでは、図23に示す制御により奇数信号線X1, X3, ..., Xn-1が負極性信号NVに対応して駆動され、偶数信号線X2, X4, ..., Xnが正極性ビデオ信号PVに対応して駆動される。このようなビデオ信号PVおよびNVの切替えは、表示タイミングコントローラ3から供給され各フィールド毎に反転される極性制御信号POLにより制御される。

【0008】すなわち、この液晶表示装置では、液晶駆動回路2が複数の走査線Y1~Ymに順次走査信号を印加することにより各行のTFTをオンさせながら正極性および負極性ビデオ信号の一方を順次信号線X1~Xnに印加する点順次駆動方式を採用している。この場合、D/Aコンバータ8は水平クロックサイクルという短時間で負荷容量の大きなビデオバスの電位を正極性および負極性ビデオ信号に対応するレベルに変化させることが可能な高い駆動能力を必要とする。一般的には、線順次駆動方式の水平クロック周波数が数十kHzであるのに比べて点順次駆動方式の水平クロック周波数は数MHz以上に及ぶ。このため、点順次駆動方式のD/Aコンバータ8はどのような画像を表示しても線順次駆動方式の信号線ドライバ9よりも著しく電力を消費する。

【0009】

【発明が解決しようとする課題】上述のように、従来の液晶表示装置では、線順次駆動方式で走査線の予備駆動を行った場合に表示画像が劣化したり、点順次駆動方式でD/Aコンバータが著しく電力を消費するという問題がある。

【0010】本発明の目的は、このような問題に鑑み、線順次駆動方式あるいは点順次駆動方式のような駆動方式に関係なくより高品位な表示画像を低消費電力で得ることが可能な表示制御装置を提供することにある。

【0011】

【課題を解決するための手段】本発明によれば、行および列方向に並ぶ複数の表示画素と、複数の表示画素の行に沿ってそれぞれ配置される複数の走査線と、複数の表

示画素の列に沿ってそれぞれ配置される複数の信号線と、複数の信号線と複数の走査線の交点近傍に配置され複数の表示画素にそれぞれ接続される複数のスイッチ素子を含む平面表示パネルの表示制御装置であって、複数の走査線に順次走査信号を出力し対応するスイッチ素子を走査信号に基づく選択期間だけ導通させる走査線ドライバと、入力されるビデオ信号に基づいて複数の信号線に対する信号電圧を出力する信号線ドライバと、1行の表示画素で構成される1水平画素群と、1垂直走査期間内においてこの1水平画素群よりも先に選択される行の表示画素で構成される他の水平画素群との相関に基づいて他の水平画素群の選択期間に1水平画素群を選択するか否かを走査線ドライバに指示する制御部を含む表示制御装置が提供される。

【0012】さらに本発明によれば、行および列方向に並ぶ複数の表示画素と、複数の表示画素の行に沿ってそれぞれ配置される複数の走査線と、複数の表示画素の列に沿ってそれぞれ配置される複数の信号線と、複数の信号線と複数の走査線の交点近傍に配置され複数の表示画素にそれぞれ接続される複数のスイッチ素子を含む平面表示パネルの表示制御装置であって、複数の走査線に順次走査信号を出力し対応するスイッチ素子を走査信号に基づく選択期間だけ導通させる走査線ドライバと、入力されるビデオ信号に基づいて複数の信号線に対する信号電圧をビデオバスから順次サンプリングし出力する信号線ドライバと、1行の表示画素で構成される1水平画素群において、1表示画素と、信号電圧のサンプリングがこの1表示画素よりも先に行われる他の表示画素との相関に基づいて他の表示画素用のサンプリング期間に1表示画素用のサンプリングを行うか否かを信号線ドライバに指示する制御部を含む表示制御装置が提供される。

【0013】これら表示制御装置によれば、垂直方向および水平方向の少なくとも一方においてビデオ信号の相関を調べて垂直または水平予備駆動を行うことで、表示画素の実効的電位印加時間を選択的に延長することができる。従って、D/Aコンバータ等の駆動回路の駆動能力や動作周波数を低減し、線順次駆動方式あるいは点順次駆動方式のような駆動方式に関係なくより高品位な表示画像を低消費電力で得ることが可能である。

【0014】

【発明の実施の形態】以下、本発明の一実施形態に係る液晶表示装置を図面を参照して説明する。

【0015】図1はこの液晶表示装置の構成を概略的に示す。この液晶表示装置は、液晶層LQがアレイ基板ARおよび対向基板CT間に保持される構造の液晶パネル1およびこの液晶パネル1を駆動する液晶駆動回路2により構成される。アレイ基板ARは、図2に示すように、マトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って形成される複数の走査線Y1~Ym、複数の画素電極PEの列に沿って形成される

複数の信号線 $X_1 \sim X_n$ 、信号線 $X_1 \sim X_n$ および走査線 $Y_1 \sim Y_m$ の交差位置にそれぞれ隣接して配置され各々対応走査線からの走査信号にตอบสนองして対応信号線からのビデオ信号を対応画素電極に供給する複数のスイッチング素子 W を有する。各スイッチング素子 W はポリシリコンTFTで構成される。対向基板CTは複数の画素電極PEに対向する単一の共通電極CEを有する。液晶駆動回路2は走査線 $Y_1 \sim Y_m$ を駆動する走査線ドライバ7、信号線 $X_1 \sim X_n$ を駆動する信号線ドライバ9、並びにこれら走査線ドライバ7および信号線ドライバ9の動作を制御する表示タイミングコントローラ3、表示タイミングコントローラ3からのビデオ信号DATXをデジタル形式からアナログ形式に変換して正極性ビデオ信号PVおよび負極性ビデオ信号NVを発生するD/Aコンバータ(DAC)8を含む。さらに、この液晶駆動回路2は共通電極CEに共通電位 V_{com} を設定する共通駆動回路5、複数の画素電極PEの行にそれぞれ容量結合される複数の補助容量線Csの電位 V_{cs} を設定するCs駆動回路6、および外部から供給される直流電圧を共通駆動回路5およびCs駆動回路6用の駆動電圧に変換するDC/DCコンバータ4を含む。ここで、走査線ドライバ7、および信号線ドライバ9はスイッチング素子WのポリシリコンTFTと同様にアレイ基板AR上に形成される複数のポリシリコンTFTで一体的に構成される。また、D/Aコンバータ8、表示タイミングコントローラ3、DC/DCコンバータ4、共通駆動回路5、およびCs駆動回路6はアレイ基板ARから独立した回路基板上に形成される複数の回路素子により構成される。

【0016】走査線ドライバ7は表示タイミングコントローラ3の制御によりスイッチング素子Wをオンさせる走査信号を1水平走査期間(1H)にほぼ等しい垂直クロックサイクルで順次走査線 $Y_1 \sim Y_m$ に供給するよう構成される。信号線ドライバ9は表示タイミングコントローラ3の制御により正極性ビデオ信号PVおよび負極性ビデオ信号NVを1水平走査期間(1H)/画素数にほぼ等しい水平クロックサイクルで交互にサンプリングし、信号線 $X_1 \sim X_n$ に順次供給するように構成される。複数の画素電極PEはこの共通電極CEおよび液晶層LQと協力し、これら画素電極PEおよび共通電極CE間の電位差に対応する光透過率にそれぞれ設定される複数の表示画素を構成する。

【0017】表示タイミングコントローラ3は外部から供給されるビデオ信号および同期信号を受取り、水平スタートパルスXST、水平クロック信号XCK、垂直スタートパルスYST、垂直クロック信号YCK、極性制御信号POL、およびビデオ信号DATXを従来と同様に発生する。ここで、垂直スタートパルスXSTは各フィールド毎に発生されるパルスであり、垂直クロック信号YCKは垂直クロックサイクルで発生されるクロック

信号であり、水平スタートパルスXSTは1水平走査期間(1H)毎に発生されるパルスであり、水平クロック信号XCKは水平クロックサイクルで発生されるクロック信号であり、極性制御信号POLは各フィールド毎に反転される信号である。水平スタートパルスXST、水平クロック信号XCK、および極性制御信号POLは信号線ドライバ9に供給される。垂直スタートパルスYSTおよび垂直クロック信号YCKは走査線ドライバ7に供給される。ビデオ信号DATXはD/Aコンバータ8でアナログ形式に変換され、正極性ビデオ信号PVおよび負極性ビデオ信号NVとして信号線ドライバ9に供給される。この液晶表示装置では、表示タイミングコントローラ3がさらに信号線ドライバ9に供給される水平予備駆動制御信号PRXおよび走査線ドライバ7に供給される垂直予備駆動制御信号PRYを発生する。水平予備駆動制御信号PRXは1水平クロック先行して信号線の駆動を許可する信号であり、垂直予備駆動制御信号PRYは1垂直クロック先行して走査線の駆動を許可する信号である。

【0018】図2に示すように、信号線ドライバ9は水平スタートパルスXSTを水平クロック信号XCKにตอบสนองしてシフトし、このスタートパルスを相補的な水平走査信号として正論理出力端 $SX_0, SX_1, \dots, SX_{n-1}, SX_n$ および負論理出力端 $SX_0\text{バー}, SX_1\text{バー}, \dots, SX_{n-1}\text{バー}, SX_n\text{バー}$ から順次出力する水平シフトレジスタ91、極性制御信号POLに対応して正極性ビデオ信号PVおよび負極性ビデオ信号NVをそれぞれ奇数信号線 $X_1 \sim X_{n-1}$ および偶数信号線 $X_2 \sim X_n$ または偶数信号線 $X_2 \sim X_n$ および奇数信号線 $X_1 \sim X_{n-1}$ に割当てる選択を行う選択回路92、およびこの選択回路92の選択結果により決まる正極性ビデオ信号PVおよび負極性ビデオ信号NVの一方を水平シフトレジスタ91の出力端 $SX_0, SX_1, \dots, SX_{n-1}, SX_n$ および反転出力端 $SX_0\text{バー}, SX_1\text{バー}, \dots, SX_{n-1}\text{バー}, SX_n\text{バー}$ からの相補的水平走査信号にตอบสนองしてサンプリングし、順次信号線 $X_1 \sim X_n$ に出力するアナログスイッチ回路93を含む。例えば奇数フィールドでは、奇数信号線 X_1, X_3, \dots, X_{n-1} が正極性ビデオ信号PVに対応して駆動され、偶数信号線 X_2, X_4, \dots, X_n が負極性ビデオ信号NVに対応して駆動される。この場合、偶数フィールドでは、奇数信号線 X_1, X_3, \dots, X_{n-1} が負極性信号NVに対応して駆動され、偶数信号線 X_2, X_4, \dots, X_n が正極性ビデオ信号PVに対応して駆動される。

【0019】アナログスイッチ回路93はビデオバスVBと信号線 $X_1 \sim X_n$ との間にそれぞれ接続されるn個のアナログスイッチASW1からASWnを持つ。これらアナログスイッチASW1からASWnの各々は正極性ビデオ信号PVをサンプリングして信号線 $X_1 \sim X_n$ のうちの対応信号線に供給するPチャネルポリシリコンTFTお

および負極性ビデオ信号NVをサンプリングしてPチャンネルポリシリコンTFTと同じ対応信号線に供給するNチャンネルポリシリコンTFTにより構成される。また、選択回路92は各々3入力AND回路94、3入力負論理AND回路95、2入力OR回路96、および2入力負論理OR回路97により構成されこれらアナログスイッチASW1~ASWnを制御するn個のゲート回路部SG1からSGnを持つ。

【0020】ゲート回路部SG1、SG3、…、SGn-1の3入力AND回路94はそれぞれ極性制御信号POLと水平予備駆動制御信号PRXとを受取ると共に水平シフトレジスタ91の出力端SX0、SX2、…、SXn-2からの水平走査信号をそれぞれ受取るよう接続され、これらの組合わせに应答して水平予備走査信号を発生する。ゲート回路部SG2、SG4、…、SGnの3入力AND回路94はそれぞれ極性制御信号POLの反転信号と水平予備駆動制御信号PRXとを受取ると共に水平シフトレジスタ91の出力端SX1、SX3、…、SXn-1からの水平走査信号をそれぞれ受取るよう接続され、これらの組合わせに应答して水平予備走査信号を発生する。ゲート回路部SG1、SG3、…、SGn-1の3入力負論理AND回路95はそれぞれ極性制御信号POLと水平予備駆動制御信号PRXの反転信号とを受取ると共に水平シフトレジスタ91の出力端SX0バー、SX2バー、…、SXn-2バーからの負論理水平走査信号をそれぞれ受取るよう接続され、これらの組合わせに应答して負論理予備走査信号を発生する。ゲート回路部SG2、SG4、…、SGnの3入力負論理AND回路95はそれぞれ極性制御信号POLの反転信号と水平予備駆動制御信号PRXの反転信号とを受取ると共に水平シフトレジスタ91の出力端SX1バー、SX3バー、…、SXn-1バーからの負論理水平走査信号をそれぞれ受取るよう接続され、これらの組合わせに应答して負論理水平予備走査信号を発生する。

【0021】ゲート回路部SG1、SG2、…、SGnの2入力OR回路96はゲート回路部SG1、SG2、…、SGnの3入力AND回路94からの水平予備走査信号および水平シフトレジスタ91の出力端SX1、SX2、…、SXnからの水平走査信号をそれぞれ受取るよう接続され、これら走査信号の各々に应答してアナログスイッチASW1、ASW2、…、ASWnのNチャンネルポリシリコンTFTをそれぞれオンする駆動信号GX1、GX2、…、GXnを発生する。ゲート回路部SG1、SG2、…、SGnの2入力負論理OR回路97はゲート回路部SG1、SG2、…、SGnの3入力負論理AND回路95からの負論理水平予備走査信号および水平シフトレジスタ91の出力端SX1バー、SX2バー、…、SXnバーからの負論理水平走査信号をそれぞれ受取るよう接続され、これら走査信号の各々に应答してアナログスイ

シリコンTFTをそれぞれオンする負論理駆動信号GX1バー、GX2バー、…、GXnバーを発生する。

【0022】図3に示すように、走査線ドライバ7は垂直スタートパルスYSTを垂直クロック信号YCKに应答してシフトし、このスタートパルスを垂直走査信号として出力端SY0、SY1、…、SYm-1、SYmから順次出力する垂直シフトレジスタ71、および垂直シフトレジスタ71のSY0、SY1、…、SYm-1、SYmからの走査信号に应答して順次走査線Y1~Ymを駆動する駆動回路DRを含む。駆動回路DRは各々2入力AND回路72、2入力OR回路73、およびバッファ回路74により構成されるm個のゲート回路部SD1~SDmを持つ。ゲート回路部SD1~SDmの2入力AND回路72は垂直予備駆動制御信号PRYと垂直シフトレジスタ71の出力端SY0、SY1、…、SYm-1からの前段の垂直走査信号とを受取るよう接続され、これらの組合わせに应答して垂直予備走査信号を発生する。ゲート回路部SD1~SDmの2入力OR回路73はこれら2入力AND回路72からの垂直予備走査信号と垂直シフトレジスタ71の出力端SY1、SY2、…、SYmからの垂直走査信号とを受取るよう接続され、これら走査信号の各々に应答して駆動信号を発生する。ゲート回路部SD1~SDmのバッファ回路74はこれら2入力OR回路73からの駆動信号をスイッチ素子Wをオンさせるレベルに増幅してそれぞれ走査線Y1~Ymを駆動するよう接続される。

【0023】図4は上述した水平予備駆動制御信号PRXおよび水平予備駆動制御信号PRYを発生するために表示タイミングコントローラ3に組込まれる予備駆動制御回路30の構成を示し、図5は予備駆動制御回路30の動作に係る信号のタイミングを示す。

【0024】この予備駆動制御回路30では、ビデオ信号が入力端から1H遅延回路(1HDL)31を介して差分回路32に供給されると共にこの入力端から直接差分回路32に供給される。差分回路32は表示画素の列に対応する垂直方向においてビデオ信号の類似度、すなわち相関を調べるために入力端からのビデオ信号と1H遅延回路32で1水平走査期間(1H)だけ遅延されたビデオ信号とを比較し、これらビデオ信号の差分を出力する。ビデオ信号が類似しているほど、この差分出力は小さくなる。このような差分出力は絶対値回路33でその絶対値に変換され、さらに水平クロック信号XCKに同期してラッチ回路34によりラッチされる。このラッチ出力は加算器35およびクリア機能付ラッチ回路36により構成される累積加算回路に供給される。加算器35はラッチ回路34のラッチ出力とラッチ回路36のラッチ出力とを加算してラッチ回路36に供給する。ラッチ回路36はこの加算器35の加算結果を水平クロック信号XCKに同期してラッチすると共に、1行の画素数に等しい水平クロック数毎に発生される水平同期信号H

Dに同期してクリアされる。この累積加算回路では、ビデオ信号の垂直差分が1行の画素数分だけ累積加算され、ラッチ回路37に出力される。ラッチ回路37は水平同期信号HDに同期して累積加算結果をラッチし、比較器入力Aとして比較器38に供給する。この比較器入力Aは図5に示すように予備駆動制御回路30への入力ビデオ信号に対して1水平走査期間(1H)だけ遅れている。

【0025】さらに、この予備駆動制御回路30では、この入力ビデオ信号が入力端からラッチ回路51を介して差分回路52に供給されると共にこの入力端から直接差分回路52に供給される。ラッチ回路51はビデオ信号を水平クロック信号XCKに同期してラッチすることにより、このビデオ信号を1水平クロックサイクルの期間遅延する。差分回路52は表示画素の行に対応する水平方向においてビデオ信号の類似度、すなわち相関を調べるために入力端からのビデオ信号とラッチ回路51で1水平クロックサイクルの期間だけ遅延されたビデオ信号とを比較し、これらビデオ信号の差分を出力する。ビデオ信号が類似しているほど、この差分出力は小さくなる。このような差分出力は絶対値回路53でその絶対値に変換され、さらに水平クロック信号XCKに同期してラッチ回路54によりラッチされる。このラッチ出力は加算器55およびクリア機能付ラッチ回路56により構成される累積加算回路に供給される。加算器55はラッチ回路54のラッチ出力とラッチ回路56のラッチ出力とを加算してラッチ回路56に供給する。ラッチ回路56はこの加算器55の加算結果を水平クロック信号XCKに同期してラッチすると共に、水平同期信号HDに同期してクリアされる。この累積加算回路では、ビデオ信号の水平差分が1行の画素数分だけ累積加算され、ラッチ回路57に出力される。ラッチ回路57は水平同期信号HDに同期して累積加算結果をラッチし、比較器入力Bとして比較器38に供給する。

【0026】比較器38は比較器入力Aと比較器入力Bとを比較する。ビデオ信号が垂直方向において高い相関を持つ場合には、比較器入力A<比較器入力Bとなり、比較器38の比較出力が高レベルに立ち上げられる。この比較出力はラッチ回路50でラッチされて垂直予備駆動制御信号PRYとして走査線ドライバ7に供給される。他方、この比較出力はインバータ39で反転されると共に1H遅延回路60で1水平走査期間だけ遅延され、水平予備駆動制御信号PRXとして信号線ドライバ9に供給される。すなわち、水平予備駆動制御信号PRXは垂直予備駆動制御信号PRYが高レベルのときに1水平走査期間遅れて低レベルに設定され、垂直予備駆動制御信号PRYが低レベルのときに1水平走査期間遅れて高レベルに設定される。

【0027】また、1H遅延回路31から得られるビデオ信号は1H遅延回路70で1水平走査期間だけ遅延さ

れ、ビデオ信号DATXとしてD/Aコンバータ8に供給される。これにより、ビデオ信号DATXのタイミングが走査線ドライバ7および信号線ドライバ9に供給される各種制御信号のタイミングに対して揃えられる。

【0028】上述のような構成により、予備駆動制御回路30は複数の表示画素の列および行にそれぞれ対応する垂直方向および水平方向についてビデオ信号の相関を調べ、ビデオ信号の相関が垂直方向において大きかった場合に垂直予備駆動を行なうよう走査線ドライバ7を垂直予備駆動制御信号PRYにより制御し、水平方向において大きかった場合に水平予備駆動を行うよう信号線ドライバ9を水平予備駆動制御信号PRXにより制御する。すなわち、走査線ドライバ7はビデオ信号が垂直方向で相関する行の表示画素に対応する走査線を2垂直クロックサイクルの期間だけ継続的に駆動させ、信号線ドライバ9はビデオ信号が水平方向で相関する列の表示画素に対応する信号線を2水平クロックサイクルの期間だけ継続的に駆動させる。これにより複数の表示画素の実効的電位印加時間が選択的に延長される。

【0029】図6は極性制御信号POLが高レベルのフィールドで行われる水平予備駆動時に信号線ドライバ9において発生される信号のタイミングを示し、図7は極性制御信号POLが低レベルのフィールドで行われる水平予備駆動時に信号線ドライバ9において発生される信号のタイミングを示す。図6では、駆動信号GX1が信号線X1の予備駆動を行うために第1および第2水平クロックサイクルの期間だけ継続的にアクティブに設定され、負論理駆動信号GX2バーが信号線X2の予備駆動を行うために第2および第3水平クロックサイクルの期間だけ継続的にアクティブに設定される。また、図7では、負論理駆動信号GX1バーが信号線X1の予備駆動を行うために第1および第2水平クロックサイクルの期間だけ継続的にアクティブに設定され、駆動信号GX2が信号線X2の予備駆動を行うために第2および第3水平クロックサイクルの期間だけ継続的にアクティブに設定される。

【0030】このように、各表示画素毎について、予備駆動がビデオ信号が高い相関を持つ水平および垂直方向の一方において行われる場合、予備駆動を行わない従来の駆動形式のような著しい画質の劣化を伴わずにD/Aコンバータ8の駆動能力を低下させて、消費電力の低減を図ることが可能である。

【0031】尚、上述の実施形態では、信号線ドライバ9は点順次駆動方式の構造を持つが、図8に示すようなブロック順次駆動方式の構造を持つように構成されてもよい。この場合、水平シフトレジスタ91は例えば水平スタートパルスXSTを水平クロック信号XCKに应答してシフトし、このスタートパルスを相補的な水平走査信号として正論理出力端SX0、SX1、…、SXn/2および負論理出力端SX0バー、SX1バー、…、SXn-1

バー、 $SX_{n/2}$ バーから順次出力するよう構成され、例えば1対の正論理および負論理出力端（例えば SX_1 および $SX_{1'}$ バー）が1ブロックのアナログスイッチ（例えば ASW_1 および ASW_2 ）に共通に割当てられる。

【0032】図9は極性制御信号POLが高レベルのフィールドで行われる水平予備駆動時にブロック順次駆動方式の信号線ドライバで発生される信号のタイミングを示し、図10は極性制御信号POLが低レベルのフィールドで行われる水平予備駆動時にブロック順次駆動方式の信号線ドライバで発生される信号のタイミングを示す。図9では、駆動信号 GX_1 および負論理駆動信号 GX_2 バーがそれぞれ信号線 X_1 および X_2 の予備駆動を行うために第1および第2水平クロックサイクルの期間だけ継続的にアクティブに設定され、駆動信号 GX_3 および負論理駆動信号 GX_4 バーがそれぞれ信号線 X_3 および X_4 の予備駆動を行うために第2および第3水平クロックサイクルの期間だけ継続的にアクティブに設定される。図10では、負論理駆動信号 GX_1 バーおよび駆動信号 GX_2 がそれぞれ信号線 X_1 および X_2 の予備駆動を行うために第1および第2水平クロックサイクルの期間だけ継続的にアクティブに設定され、負論理駆動信号 GX_3 バーおよび駆動信号 GX_4 がそれぞれ信号線 X_3 および X_4 の予備駆動を行うために第2および第3水平クロックサイクルの期間だけ継続的にアクティブに設定される。

【0033】ブロック順次駆動方式でも、点順次駆動方式と同様な動作が行なわれ、水平シフトレジスタ91の出力端が1ブロックのアナログスイッチに割当てられているため、水平クロック信号XCKのクロック周波数を1ブロックのアナログスイッチ数に応じて低減することが可能である。このため、D/Aコンバータ8の駆動能力や動作周波数を点順次駆動方式よりも低く設定してさらに低消費電力化を図ることができる。

【0034】図11は図4に示す予備駆動制御回路30の第1変形例を示す。第1変形例は、図4においてビデオ信号の垂直相関を調べる回路コンポーネント31~37を省略して常に垂直予備駆動を行なうよう構成される。ビデオ信号の垂直相関が小さいために垂直予備駆動の効果が少ない場合でも、垂直予備駆動に加えて水平予備駆動も行なうことで予備駆動の効果は十分に得られる。具体的には、図11に示すようにビデオ信号の水平差分絶対値の累積値がラッチ回路57から比較器入力Aとして比較器38に供給され、基準値が基準値発生器40から比較器入力Bとして比較器38に供給される。ビデオ信号が水平方向において高い相関を持つ場合には、比較器入力 $A <$ 比較器入力Bとなり、比較器38の比較出力が高レベルに立ち上げられる。この比較出力は水平クロック信号XCKに同期してラッチ回路42でラッチされて水平予備駆動制御信号PRXとして信号線ドライバ9に供給される。ここで、基準値発生器40は予め設

定された固定値を基準値として出力するよう構成されるだけでなく、例えばユーザーが任意に外部から設定した値を基準値として出力するように構成されても良い。垂直予備駆動制御信号PRXは低レベルに設定された信号をインバータ39で反転することにより得られる。また、ビデオ信号DATXは予備駆動制御回路30に入力されるビデオ信号を1H遅延回路70で1水平走査期間遅延し、これを水平クロック信号XCKに同期してラッチ回路40でラッチすることにより得られる。

【0035】この第1変形例は、図4に示す予備駆動制御回路30よりも2個少ない単一の1H遅延回路70を用いて構成することができる。従って、ハードウェア資源および消費電力をさらに低減することができる。

【0036】図12は図4に示す予備駆動制御回路30の第2変形例を示す。第2変形例は、図11に示す第1変形例の回路コンポーネント55、56、57を省略して1水平走査期間毎に差分値の累積を行なわないように構成される。この場合、図11に示す1H遅延回路70を不要にすることができる。この第2変形例では、水平予備駆動制御信号PRXが点順次駆動方式で信号線毎にアクティブとなり、ブロック順次駆動方式で信号線ブロック毎にアクティブとなる。

【0037】図13は図4に示す予備駆動制御回路30の第3変形例を示す。第3変形例は図12に示す第2変形例の回路コンポーネント38、40、52、53、54を省略し排他的OR回路41を追加して構成される。ビデオ信号の水平相関は第1および第2変形例でビデオ信号全体について差分をとって調べられたが、この第3変形例ではビデオ信号の最上位ビット(MSB)について差分をとって調べられる。

【0038】ここで、第2または第3変形例の予備駆動制御回路30を用いた場合、信号線ドライバ9は図14および図15に示すように動作する。図14は極性制御信号POLが高レベルのフィールドで行われる水平予備駆動時に信号線ドライバ9において発生される信号のタイミングを示し、図15は極性制御信号POLが低レベルのフィールドで行われる水平予備駆動時に信号線ドライバ9において発生される信号のタイミングを示す。図14では、駆動信号 GX_1 が信号線 X_1 の予備駆動を行うために第1および第2水平クロックサイクルの期間だけ継続的にアクティブに設定され、負論理駆動信号 GX_2 バーが信号線 X_2 の駆動を行うために第3水平クロックサイクルの期間だけアクティブに設定される。また、図15では、負論理駆動信号 GX_1 バーが信号線 X_1 の予備駆動を行うために第1および第2水平クロックサイクルの期間だけ継続的にアクティブに設定され、駆動信号 GX_2 が信号線 X_2 の駆動を行うために第3水平クロックサイクルの期間だけアクティブに設定される。従って、水平予備駆動制御信号PRXの制御により信号線毎または信号線ブロック毎に水平予備駆動を行うことがで

きる。

【0039】これら変形例のようにビデオ信号の相関を調べる回路コンポーネントを簡略化しても、水平予備駆動の効果を損うことなくハードウェア資源および消費電力を削減することが可能である。

【0040】尚、上述の実施形態は、点順次駆動またはブロック順次駆動において、ビデオ信号の垂直および水平相関を利用して複数の表示画素の実効的電位印加時間を選択的に延長する予備駆動制御の回路構成や制御方法について述べてきたが、これらは液晶材料等には制限されるものではない。

【0041】また、上述の実施形態は、隣接画素列間で基準電圧に対する信号電圧の極性が異なり、その極性が垂直走査期間毎に反転する垂直ライン反転駆動方式を採用したため、垂直方向の相関は隣接画素行間で行われる。本発明は水平コモン反転駆動方式、垂直ライン反転駆動方式、水平／垂直反転駆動方式のような他の駆動方式にも適用できる。この場合、隣接画素行間で基準電圧に対する信号電圧の極性が異なるため、予備駆動はこの極性が一致する2水平走査期間前の画素行との比較により行われる。

【0042】また、本発明は例えばビデオ信号の垂直および水平相関をマイクロプロセッサでソフトウェア的に調べるなど、その要旨を逸脱しない範囲で様々に変形することが可能である。

【0043】

【発明の効果】以上のように、本発明によれば、垂直方向および水平方向の少なくとも一方においてビデオ信号の相関を調べて垂直または水平予備駆動を行い、表示画素の実効的電位印加時間を選択的に延長することによりD/Aコンバータ等の駆動回路の駆動能力や動作周波数を低減できる。このため、線順次駆動方式あるいは点順次駆動方式のような駆動方式に関係なくより高品位な表示画像を低消費電力で得ることが可能な表示制御装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る液晶表示装置の構成を示すブロック回路図である。

【図2】図1に示すアレイ基板に配置される液晶パネルの周辺回路の構成を示す回路図である。

【図3】図2に示す走査線ドライバの構成を示す回路図である。

【図4】図1に示す表示タイミングコントローラに組込まれる予備駆動制御回路の構成を示す回路図である。

【図5】図4に示す予備駆動制御回路の動作に関する信号のタイミングを示すタイムチャートである。

【図6】極性制御信号が高レベルのフィールドで行われる水平予備駆動時に図4に示す信号線ドライバにおいて発生される信号のタイミングを示すタイムチャートである。

【図7】極性制御信号が低レベルのフィールドで行われる水平予備駆動時に図4に示す信号線ドライバにおいて発生される信号のタイミングを示すタイムチャートである。

【図8】図4に示す信号線ドライバをブロック順次駆動方式にした例を示す回路図である。

【図9】極性制御信号が高レベルのフィールドで行われる水平予備駆動時に図8に示す信号線ドライバで発生される信号のタイミングを示すタイムチャートである。

【図10】極性制御信号が低レベルのフィールドで行われる水平予備駆動時に図8に示す信号線ドライバで発生される信号のタイミングを示すタイムチャートである。

【図11】図4に示す予備駆動制御回路の第1変形例を示す回路図である。

【図12】図4に示す予備駆動制御回路の第2変形例を示す回路図である。

【図13】図4に示す予備駆動制御回路の第3変形例を示す回路図である。

【図14】極性制御信号が高レベルのフィールドで行われる水平予備駆動時に図12または図13に示す予備駆動制御回路の動作により信号線ドライバにおいて発生される信号のタイミングを示すタイムチャートである。

【図15】極性制御信号POLが低レベルのフィールドで行われる水平予備駆動時に図12または図13に示す予備駆動制御回路の動作により信号線ドライバ9において発生される信号のタイミングを示すタイムチャートである。

【図16】典型的な線順次駆動方式の液晶表示装置の等価回路図である。

【図17】図16に示すスイッチング素子を構成するTFTの移動度に依存した画素電極の電位変化を示す波形図である。

【図18】第1水平走査期間に供給されるビデオ信号が第2水平走査期間に供給されるビデオ信号と同じである場合に図16に示す画素電極に得られる電位変化を示す波形図である。

【図19】第1水平走査期間に供給されるビデオ信号が第2水平走査期間に供給されるビデオ信号と異なる場合に図16に示す画素電極に得られる電位変化を示す波形図である。

【図20】図16に示す液晶パネルの画面に表示される白と黒の横ストライプを示す図である。

【図21】画素電極のスイッチング素子、走査線ドライバ、および信号線ドライバを構成する複数のポリシリコンTFTを持つ点順次駆動方式の液晶表示装置の等価回路図である。

【図22】図21に示す液晶表示装置が奇数フィールドで行うアナログスイッチ制御を説明するためのタイムチャートである。

【図23】図21に示す液晶表示装置が偶数フィールド

* 35. 55…加算回路

36. 56…クリア機能付きラッチ回路

3 8 …比較器

39…インバータ

40...基準値発生器

4.1...排他的OR回

7.1…垂直シフトレジスタ

72. 94...AND回路

73. 96...QR 回路

74…バッファ回路

9.1…水平シフトレジスタ

9.2...選取回路

9.3…アナログスイッチ回路

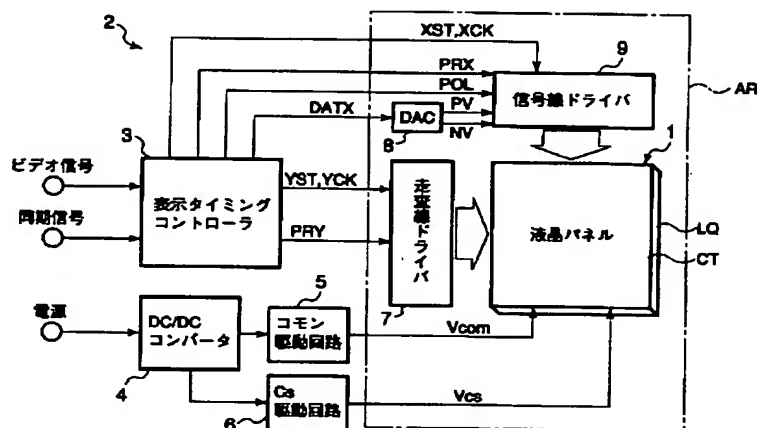
95...負論理A

9.7...負論理OR回路

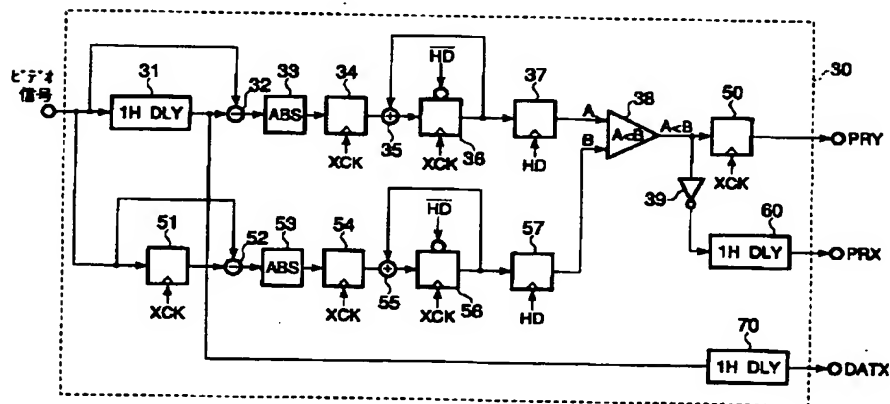
01 頁端埋込式回路

*

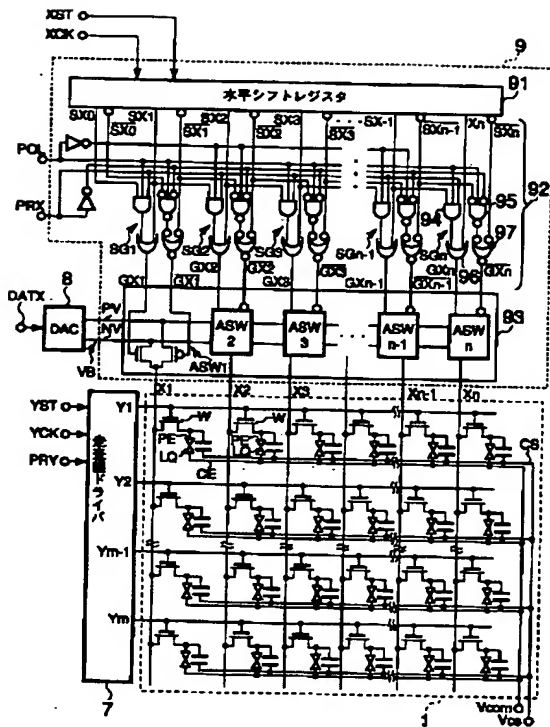
【图 1】



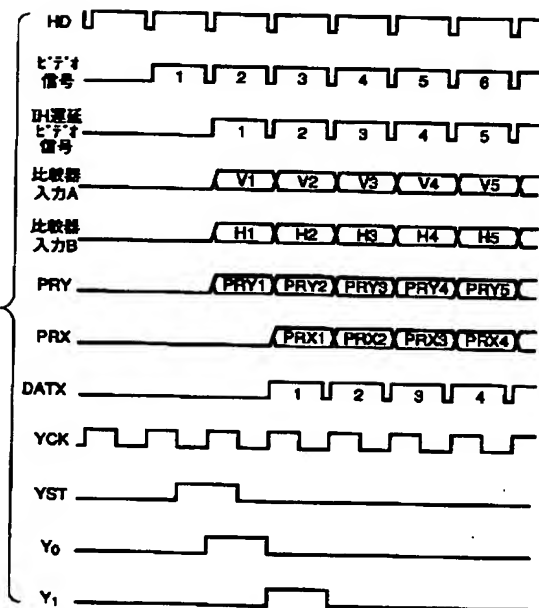
【图4】



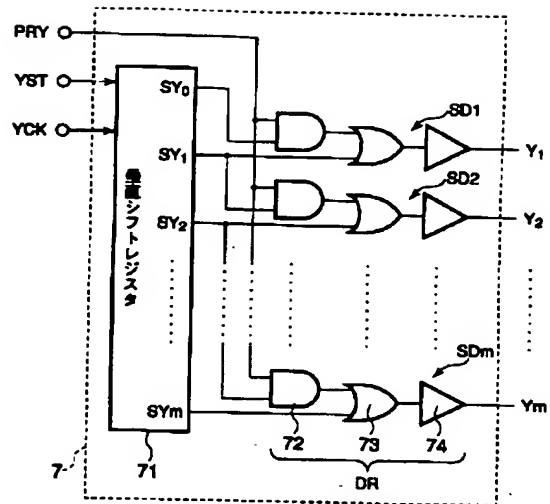
【図2】



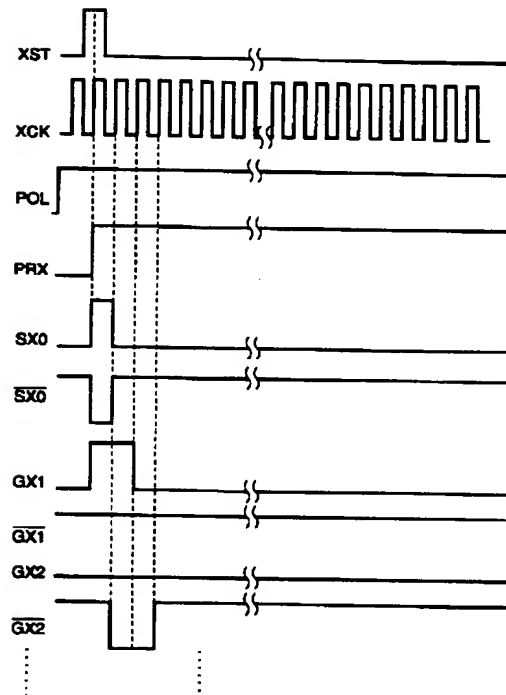
【図5】



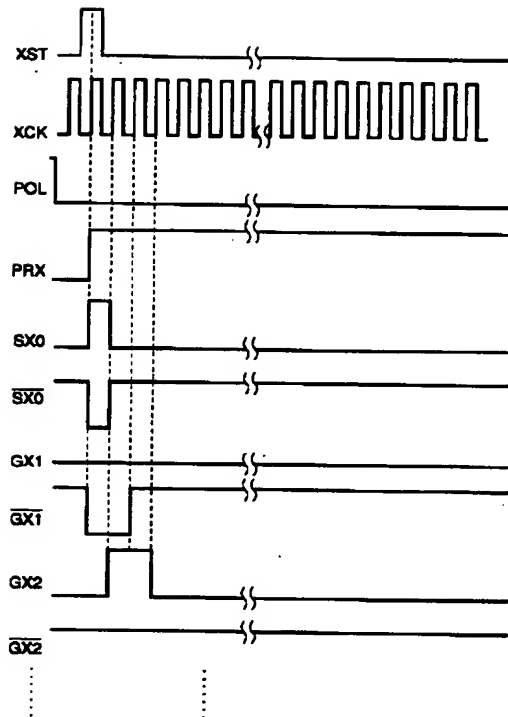
【図3】



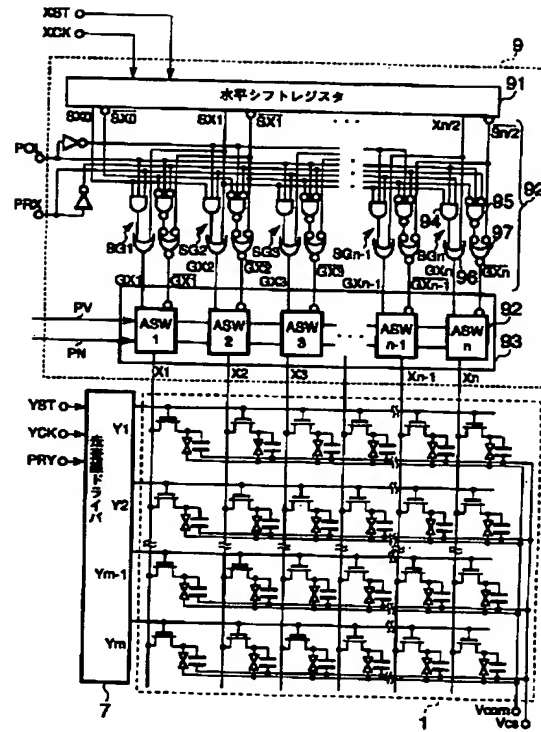
【図6】



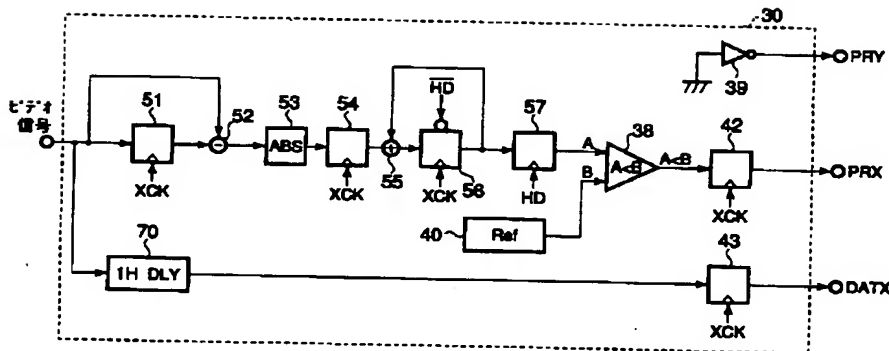
【図7】



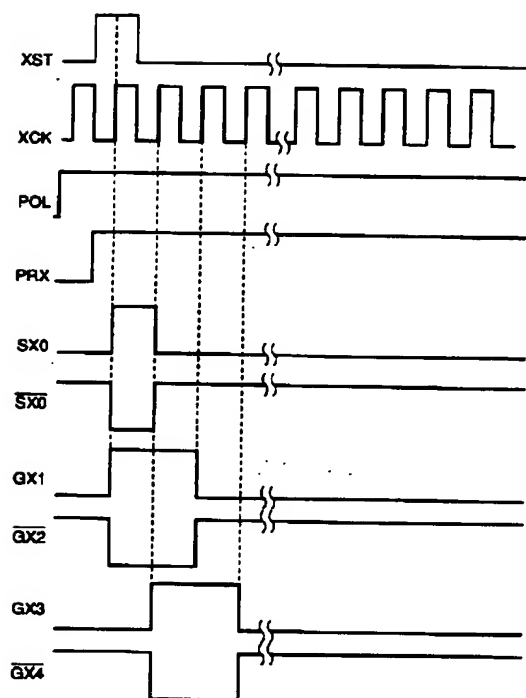
【図8】



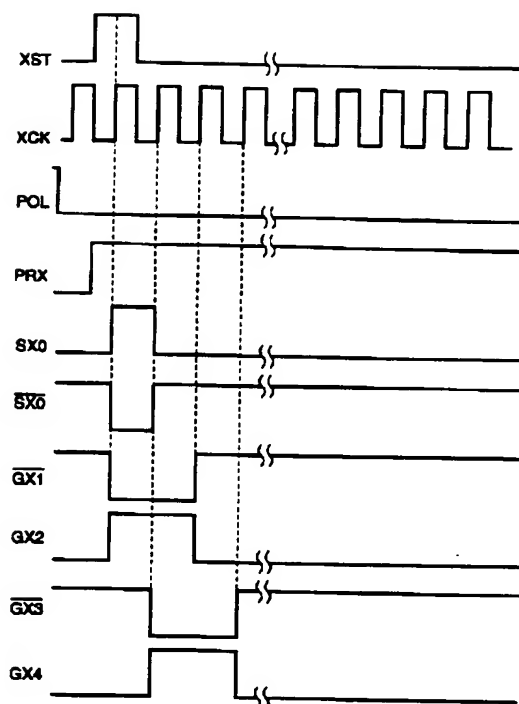
【図11】



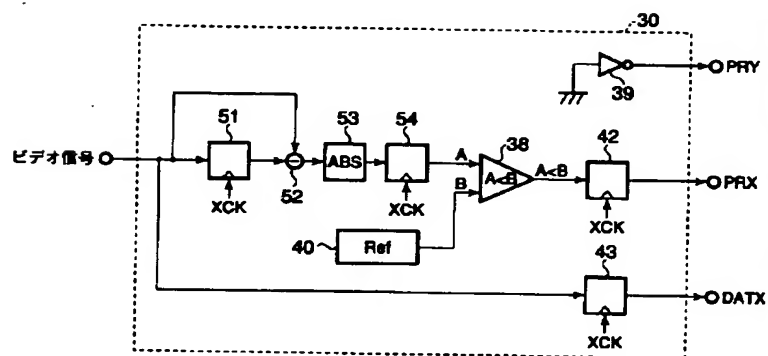
【図9】



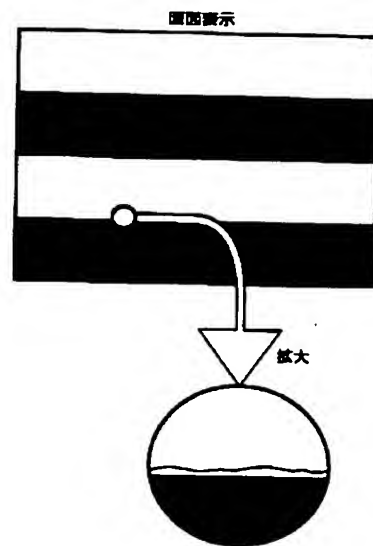
【図10】



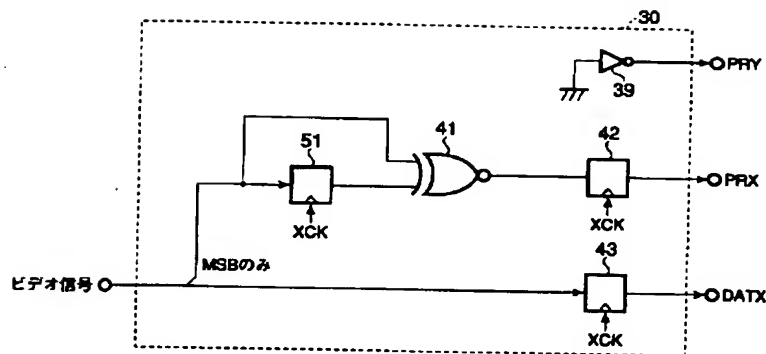
【図12】



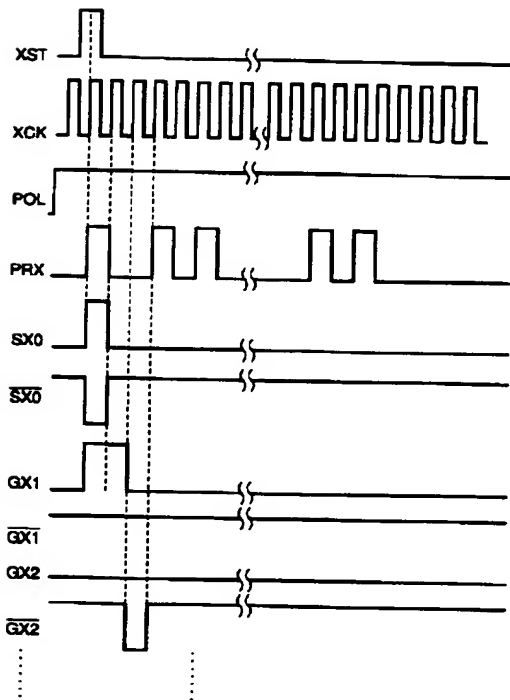
【図20】



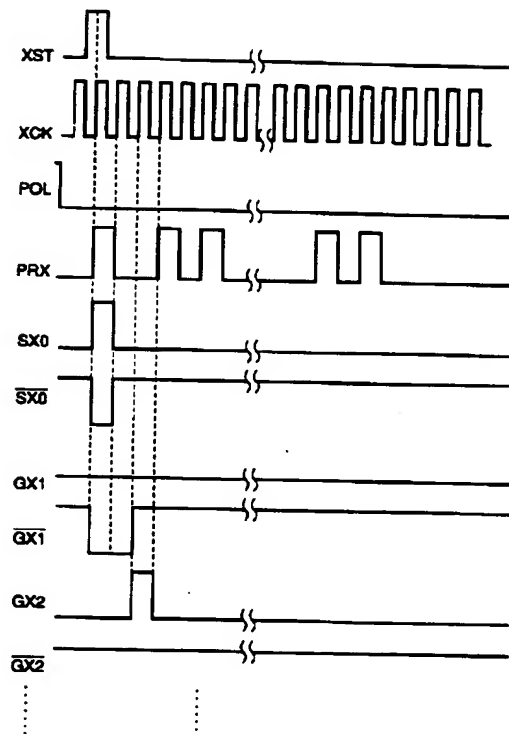
【図13】



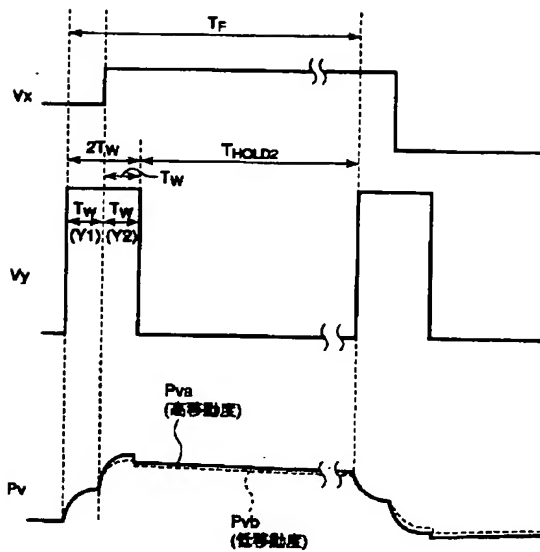
【図14】



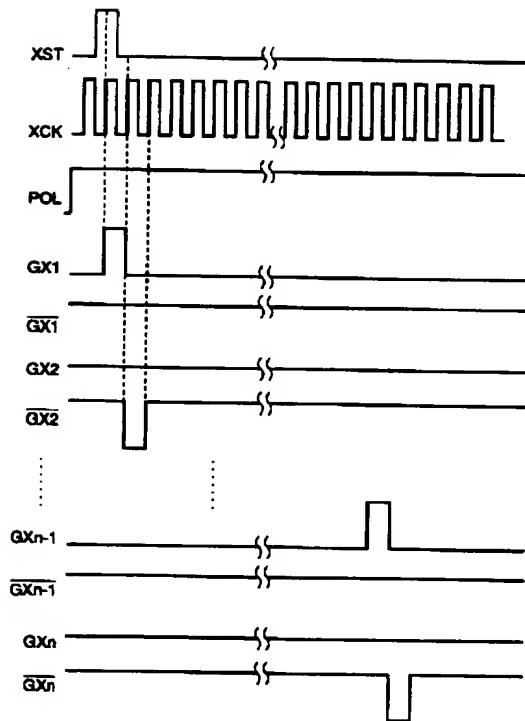
【図15】



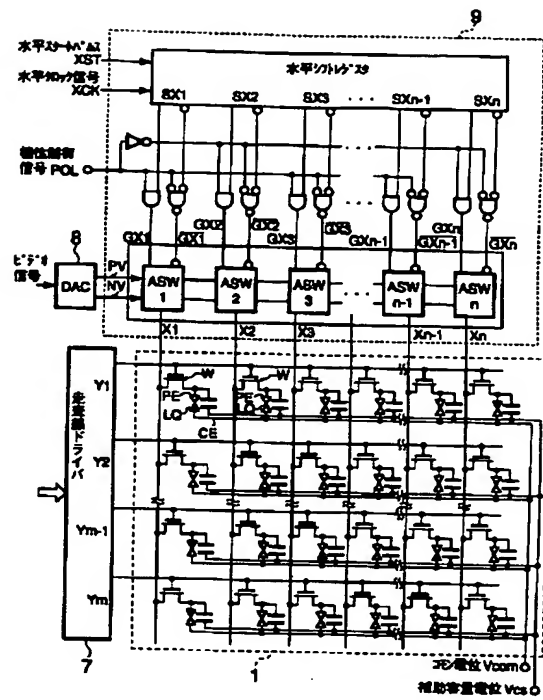
【図19】



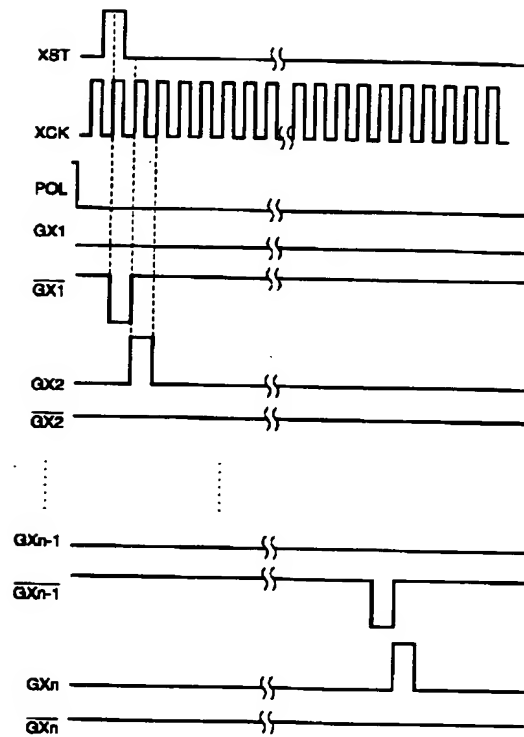
【図22】



【図21】



【図23】



フロントページの続き

F ターム(参考) 2H093 NA43 NC03 NC10 NC12 NC16
 NC18 NC22 NC24 NC26 NC34
 ND01 ND34 ND39
 5C006 AA22 AC02 AC18 AC24 BB16
 BC03 BC06 BC13 BF03 BF07
 BF26 BF27 EC05 EC13 FA14
 FA37 FA48
 5C080 AA10 BB05 CC03 DD26 DD30
 FF07 JJ02 JJ03 JJ04 KK02
 KK07
 5C094 AA09 AA22 BA03 BA43 CA19
 EA04 EA07